

# **CURRICULUM VITAE DI ANDREA PADOVANI**

- 1. CURRICULUM BIOGRAFICO E ACCADEMICO**
- 2. ATTIVITÀ DI RICERCA**

## 1. CURRICULUM BIOGRAFICO E ACCADEMICO

- 1978 Sono nato a Reggio Emilia (RE) il 09 dicembre 1978.
- 2005 Ho conseguito la **Laurea in Ingegneria Elettronica (VOD)** presso l'Università degli Studi di Modena e Reggio Emilia, con una tesi a carattere sperimentale dal titolo "Affidabilità di celle NROM di Futura Generazione: Studio e Simulazione," di cui è stato relatore il Prof. Paolo Pavan. Nei mesi di settembre e ottobre ho collaborato con il Dipartimento di Scienze e Metodi dell'Ingegneria dell'Università degli Studi di Modena e Reggio Emilia per un progetto dal titolo "**Simulazione di memorie non-volatili NROM**".
- 2006 Ho vinto il concorso per il **Dottorato di Ricerca in Scienze dell'Ingegneria (XXI ciclo)**, che ho svolto presso il Dipartimento di Ingegneria dell'Università degli Studi di Ferrara, Ferrara (FE).
- 2009 Nel mese di marzo ho conseguito il **Dottorato di Ricerca in Scienze dell'Ingegneria** presso l'Università degli Studi di Ferrara con una tesi dal titolo "Modeling and Reliability of Innovative Flash Memories," di cui è stato relatore il Prof. Andrea Chimenton.
- 2009-2010 Titolare di un assegno di ricerca sul tema "**Memorie flash non-volatili di prossima generazione basate su intrappolamento di carica**" (SSD ING-INF/01 - Elettronica) presso il Dipartimento di Scienze e Metodi dell'Ingegneria dell'Università di Modena e Reggio Emilia.
- 2010-2013 Il 30 dicembre 2010 ho preso servizio presso il centro INTERMECH dell'Università di Modena e Reggio Emilia come ricercatore a tempo determinato ai sensi dell'art. 1, comma 14 della legge 4 novembre 2005 n. 230 e del D.L. 16-09-2009 prot. n. 94/09, per lo svolgimento d'attività di ricerca presso la Facoltà di Ingegneria – sede di Reggio Emilia, Area di ricerca: Area 09 (Ingegneria Industriale e dell'Informazione), Settore Scientifico-Disciplinare ING-INF/01 "Elettronica", posizione che ho occupato fino al 29 Dicembre 2013.
- 2014 Il 04-02-2014 ho ottenuto l'**Abilitazione Scientifica Nazionale** a Professore di Seconda Fascia (<https://abilitazione.cineca.it/ministero.php/public/esitoAbilitati/settore/09%252FE3/fascia/2>) nel Settore Concorsuale 09/E3.
- 2014-2015 Titolare di un assegno di ricerca sul tema "**Caratterizzazione e modellizzazione di dispositivi elettronici innovativi**" (SSD ING-INF/01 - Elettronica) presso il centro INTERMECH dell'Università di Modena e Reggio Emilia.
- 2015 Ho fondato, assieme ad altri due colleghi, una società a responsabilità limitata denominata MDLab s.r.l., con lo scopo di sviluppare e commercializzare un software commerciale per la simulazione di dispositivi elettronici (successivamente denominato Ginestra®) con particolare focus sulla simulazione del trasporto di carica e di atomi e sulla degradazione dei materiali dielettrici usati nei dispositivi elettronici.
- 2016 Sono stato assunto dalla ditta MDLab s.r.l. in qualità di Application Engineer, posizione che ho occupato fino a febbraio 2019. In questo periodo mi sono inizialmente occupato dello sviluppo del software Ginestra®, per poi concentrarmi sull'utilizzo dello stesso, sia nell'ambito di specifici progetti aziendali, sia per il supporto verso i clienti. Mi sono occupato in prima persona della gestione dei rapporti con i clienti, effettuando anche numerose visite presso le loro sedi (principalmente in Stati Uniti e Asia).
- 2017 Ho fondato, assieme ad altri quattro colleghi, la società MDLSoft Inc. con sede a Santa Clara, CA, USA, che ha preso controllo della società MDLab s.r.l., con lo scopo di

sviluppare e commercializzare il software commerciale per la simulazione di dispositivi elettronici Ginestra®.

- 2019 Nel febbraio 2019 sono stato assunto da Applied Materials Italia s.r.l. con la qualifica di *Senior Manager Applications Development* in un gruppo dipendente direttamente dalla sede centrale a Santa Clara, CA, USA che si occupa dello sviluppo e della commercializzazione del software Ginestra® e del suo utilizzo a supporto del core business dell'azienda. Nell'ambito di questo ruolo ho guidato un gruppo di *Application Engineers* nello sviluppo di modelli che descrivano la fisica e il comportamento di dispositivi elettronici e nell'utilizzo del software Ginestra® per: sviluppo di casi d'uso, applicazione a problemi di elevato interesse, utilizzo per il supporto ai clienti esterni (che spazia dal training alla consulenza) e utilizzo per progetti interni. Ho ricoperto questa posizione fino a Marzo 2022.
- 2022 Il 01-02-2022 ho rinnovato l'**Abilitazione Scientifica Nazionale** a Professore di Seconda Fascia (<https://asn21.cineca.it/pubblico/miur/esito-abilitato/09%252FE3/2/1>) nel Settore Concorsuale 09/E3.
- 2022 Nell'aprile 2022 ho preso servizio come Ricercatore a Tempo Determinato (tipo b) presso il Dipartimento di Ingegneria Enzo Ferrari (DIEF) dell'Università di Modena e Reggio Emilia (SSD ING-INF/01).
- 2023 Il 07-11-2023 ho ottenuto l'**Abilitazione Scientifica Nazionale** a Professore di Prima Fascia (<https://asn21.cineca.it/pubblico/miur/esito-abilitato/09%252FE3/1/6>) nel Settore Concorsuale 09/E3.
- 2025 Il primo Aprile 2025 ho preso servizio come Professore Associato in presso il Dipartimento di Ingegneria Enzo Ferrari (DIEF) dell'Università di Modena e Reggio Emilia (SSD ING-INF/01). Il primo giugno 2025 mi sono trasferito presso il Dipartimento di Scienze e Metodi dell'Ingegneria (DISMI) dell'Università di Modena e Reggio Emilia, Reggio Emilia.

## 1.1 ATTIVITA' DIDATTICA

- 2009 Docente per l'insegnamento Memorie a Semiconduttore (54 ore) del Corso di Laurea in LM Ingegneria Elettronica DM 270 presso la Facoltà di Ingegneria dell'Università degli studi di Modena e Reggio Emilia (sede di Modena) per l'a.a. 2009/2010.
- 2010 Docente del modulo da 16 ore "Circuiti di condizionamento del segnale" nell'ambito del progetto "IFTS Tecnico superiore per il disegno e la progettazione industriale di sistemi meccatronici" organizzato dalla scuola per la gestione d'impresa CIS di Reggio Emilia.
- 2012-2013 Docente dell'insegnamento Tecnologie e Dispositivi Elettronici (54 ore) del Corso di Laurea Magistrale in Ingegneria Meccatronica presso la Facoltà di Ingegneria dell'Università degli studi di Modena e Reggio Emilia (sede di Reggio) per gli a.a. 2011/2012 e 2012/2013.
- 2013-2015 Docente dell'insegnamento Advanced Electron Devices (54 ore) del Corso di Laurea Magistrale in Ingegneria Elettronica presso il Dipartimento di Ingegneria Enzo Ferrari di Modena per gli a.a. 2013/2014 e 2014/2015. Il corso è stato tenuto in lingua inglese.
- 2022 Docente dell'insegnamento Sistemi Elettronici Industriali (81 ore) del Corso di Laurea in Ingegneria Gestionale presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2022/2023.  
Docente dell'insegnamento elettronica Applicata (54 ore) del Corso di Laurea in Tecnologie per l'industria intelligente presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2022/2023.

- 2023 Docente dell'insegnamento Sistemi Elettronici Industriali (81 ore) del Corso di Laurea in Ingegneria Gestionale presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2023/2024.  
Docente dell'insegnamento elettronica Applicata (63 ore) del Corso di Laurea in Tecnologie per l'industria intelligente presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2023/2024.
- 2024 Docente dell'insegnamento Sistemi Elettronici Industriali (81 ore) del Corso di Laurea in Ingegneria Gestionale presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2024/2025.  
Docente dell'insegnamento elettronica Applicata (63 ore) del Corso di Laurea in Tecnologie per l'industria intelligente presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2024/2025.
- 2025 Docente di metà del corso "Reliability of Electron Devices (12 hour)" tenuto nell'ambito della scuola di dottorati International Doctorate School in Information and Communication Technologies (ICT) dell'Università di Modena and Reggio Emilia.
- 2025 Docente dell'insegnamento Sistemi Elettronici Industriali (81 ore) del Corso di Laurea in Ingegneria Gestionale presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2025/2026.  
Docente dell'insegnamento elettronica Applicata (63 ore) del Corso di Laurea in Tecnologie per l'industria intelligente presso il Dipartimento di Scienze e Metodi dell'Ingegneria di Reggio Emilia per l'a.a. 2025/2026.

Sono stato correlatore di diverse tesi di laurea a carattere sperimentale, presso le Facoltà di Ingegneria dell'Università di Modena e Reggio Emilia. Sono stato co-tutore di uno studente di Dottorato e sono attualmente tutore di un altro studente di Dottorato.

## 2. ATTIVITÀ DI RICERCA

Alla data del 16 settembre 2026 il database Scopus (Author ID: 17346546300) riporta i seguenti valori bibliometrici per Andrea Padovani

- numero di articoli: **198**, di cui **93** su riviste internazionali
- numero di citazioni: **6304**
- h-index: **35**

Google Scholar: <https://scholar.google.com/citations?user=0cQPSR4AAAAJ&hl=it>

ORCID iD: <https://orcid.org/0000-0003-1145-5257>

Il fulcro principale delle mie attività di ricerca è lo sviluppo di modelli fisici basati sulle proprietà dei materiali, finalizzati alla comprensione, alla descrizione e alla previsione del funzionamento e dell'affidabilità di diversi dispositivi a semiconduttore. Più nello specifico, i miei contributi scientifici riguardano i transistor logici, per i quali ho sviluppato modelli in grado di descrivere tutti i fenomeni rilevanti negli stack dielettrici di gate, dal trasporto e intrappolamento della carica fino alla rottura dielettrica; un'ampia gamma di tecnologie di memoria non volatile, tra cui dispositivi a intrappolamento di carica, memorie RAM resistive e dispositivi ferroelettrici; nonché i dispositivi selettivi.

Tutte le attività di ricerca che ho svolto o supervisionato condividono un fondamento comune: la descrizione e la modellizzazione dei fenomeni fisici che si verificano nei materiali non semiconduttori, principalmente, ma non esclusivamente, nei dielettrici ad alta costante dielettrica (high-k). Tali attività sono state integrate in un quadro di modellizzazione unitario, che ha successivamente portato allo sviluppo di Ginestra™, un innovativo software commerciale per la simulazione di dispositivi a semiconduttore, capace di colmare alcune delle lacune degli altri prodotti commerciali disponibili sul mercato. Dalla sua introduzione nel 2015,

il software Ginestra è stato adottato da numerose aziende del settore dei semiconduttori ed è oggi parte del portafoglio di Applied Materials (<https://www.appliedmaterials.com/eu/en/semiconductor/ginestra-software.html>).

Nel campo dei dispositivi di memoria non volatile, mi sono inizialmente occupato di dispositivi convenzionali a gate flottante, dispositivi planari a intrappolamento di carica, come NROM e TANOS, e dispositivi che impiegano materiali ad alta costante dielettrica per l'ingegnerizzazione della barriera di tunneling in strutture di tipo Floating Gate (VARIOT). Negli ultimi anni, la mia attività di ricerca si è concentrata principalmente sullo studio e sulla modellizzazione di: i) dispositivi basati su ossidi di metalli di transizione (TMO, in particolare  $\text{HfO}_2$ ), utilizzati sia per lo sviluppo di tecnologie di memoria non volatile a commutazione resistiva (RRAM), sia per applicazioni neuromorfiche; ii) dispositivi di memoria non volatile 3D NAND a intrappolamento di carica; iii) dispositivi ferroelettrici, quali FeFET, giunzioni tunnel ferroelettriche (FTJ) e FeRAM. Le mie attività hanno riguardato principalmente la comprensione e la modellizzazione dei meccanismi fisici che ne governano il funzionamento e il degrado.

Nel campo dei transistor logici, mi occupo dello studio e della modellizzazione dei fenomeni fisici alla base dei principali problemi di affidabilità dei dispositivi dotati di dielettrici di gate convenzionali ( $\text{SiO}_2/\text{SiON}$ ) e ad alta costante dielettrica ( $\text{HfO}_2$ ): correnti di perdita di gate, corrente di perdita indotta da stress (Stress-Induced Leakage Current, SILC), instabilità indotte dalla polarizzazione e dalla temperatura (Bias Temperature Instabilities, BTI), rumore telegrafico casuale (Random Telegraph Noise, RTN), degrado e rottura dielettrica.

In ambito accademico, tali attività sono state svolte nel contesto di numerosi progetti di ricerca nazionali e internazionali e in collaborazione con aziende del settore dei semiconduttori (Saifun Semiconductors, STMicroelectronics, Applied Materials, Samsung e Intel), università (Università Tecnica di Monaco, Monaco di Baviera, Germania; University College London, Londra, Regno Unito; Università di Tampere, Tampere, Finlandia; Università di Stanford, California, Stati Uniti; Nanyang Technological University, Singapore; Singapore University of Technology and Design, Singapore; Gwangju Institute of Science and Technology, Gwangju, Repubblica di Corea; Boise State University, Idaho, Stati Uniti; Georgia Institute of Technology, Georgia, Stati Uniti; Università Purdue, Indiana, Stati Uniti; Università della California, San Diego, Stati Uniti; IIT Bombay, India; IIT Madras, India; National Tsing Hua University, Taiwan) e centri di ricerca internazionali (SEMATECH, Stati Uniti; IMEC, Belgio; CEA-Leti, Francia).

Anche durante la mia attività nell'industria ho continuato a svolgere ricerca, perseguendo quattro obiettivi principali: i) sviluppare modelli fisici da implementare nel software Ginestra™; ii) supportare le attività relative a specifici progetti per i clienti; iii) contribuire al core business dell'azienda; iv) partecipare a progetti europei. Le attività di ricerca sono state condotte in collaborazione con alcune delle più importanti aziende del settore dei semiconduttori, con università (Singapore University of Technology and Design, Singapore; Bangladesh University of Engineering and Technology, Bangladesh; Pohang University of Science and Technology, Corea del Sud; University College London, Regno Unito; Università di Pechino, Cina; Università del Texas a Dallas, Stati Uniti) e con centri di ricerca internazionali (IMEC, Belgio; CEA-Leti, Francia).

Attualmente svolgo attività di revisore per diverse riviste scientifiche internazionali, tra cui IEEE Transactions on Electron Devices, IEEE Electron Device Letters, IEEE Transactions on Device and Materials Reliability, Journal of Applied Physics (AIP), Applied Physics Letters (AIP), Microelectronics Reliability (Elsevier), Solid-State Electronics (Elsevier), Journal of Materials Science (Elsevier), Materials Chemistry and Physics (Elsevier), Semiconductor Science and Technology (IOP), Journal of Physics D (IOP) e Nanotechnology (IOP).

### **Partecipazione a Progetti di Ricerca Nazionali e Internazionali**

L'attività di ricerca svolta sia in ambito accademico che in ambito industriale è stata svolta in parte nell'ambito di progetti di ricerca nazionali e internazionali, tra cui:

1. Progetto Europeo FP6 – EMMA

2. partecipazione al Progetto Europeo “GOSSAMER - Giga-scale oriented solid state flash memory for Europe”, finanziato dall’Unione Europea nell’ambito del quadro di finanziamento 7FP-ICT: tecnologie dell’informazione e della comunicazione (grant agreement No 214431).
3. Work Package leader (WP3) e Coordinatore dell’unità di Applied Materials del Progetto Europeo “INTERSECT - Interoperable Material-To-Device Simulation Box For Disruptive Electronics”, finanziato dall’Unione Europea nell’ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 814487) (<https://intersect-project.eu/>).
4. Coordinatore dell’unità di Applied Materials all’interno del Work Package 2 del Progetto Europeo “iQubits - Integrated Qubits Towards Future High-Temperature Silicon Quantum Computing Hardware Technologies”, finanziato dall’Unione Europea nell’ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 829005) (<https://www.iqubits.eu/>).
5. Membro dell’unità di Applied Materials per il Progetto Europeo “OpenModel - Integrated Open Access Materials Modelling Innovation Platform for Europe”, finanziato dall’Unione Europea nell’ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 953167).
6. Membro dell’unità dell’Università di Modena e Reggio Emilia per il Progetto Europeo “Attoswitch - Dirac cold-source transistor technologies towards attojoule switching”, finanziato dall’Unione Europea nell’ambito del programma di ricerca e innovazione Horizon 2020 (grant agreement No 101135571) (<https://www.attoswitch.eu/>).

## Premi e Riconoscimenti per Attività di Ricerca

1. **BEST PAPER AWARD**, come co-autore del lavoro "A Compact Model of Hafnium-Oxide-Based Resistive Random Access Memory," *F. M. Puglisi, P. Pavan, A. Padovani, and L. Larcher, International Conference on IC Design and Technology (ICICDT), Pavia, Italy.*
2. **BEST PAPER AWARD**, come secondo autore del lavoro "Spatio-Temporal Defect Generation Process in Irradiated HfO<sub>2</sub> MOS Stacks: Correlated Versus Uncorrelated Mechanisms," *Fernando Leonel Aguirre, Andrea Padovani, Alok Ranjan, Nagarajan Raghavan, Nahuel Vega, Nahuel Müller, Sebastián Matías Pazos, Mario Debray, Joel Molina, Kin Leong Pey, and Félix Palumbo*, presentato al 2019 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 31 March-4 April 2019. DOI: <https://doi.org/10.1109/IRPS.2019.8720539>.
3. Il 9 giugno 2023 ho vinto il premio “**2023 Microelectronic Engineering Journal Middle Career Investigator Award and Lectureship**”, attribuito dalla rivista scientifica internazionale “Microelectronic Engineering” di Elsevier a seguito di un bando e del successivo processo di selezione da parte di un panel di esperti internazionali (<https://www.sciencedirect.com/journal/microelectronic-engineering/about/awards>).
4. **BEST PAPER AWARD**, come primo autore del lavoro “Towards a Universal Model of Dielectric Breakdown,” *Andrea Padovani, Paolo La Torraca, Jack Strand, Alexander Shluger, Valerio Milo and Luca Larcher*, che ho presentato personalmente al 2023 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 26-30 March 2023. DOI: <https://doi.org/10.1109/IRPS48203.2023.10117846>.
5. **BEST PAPER AWARD**, come secondo autore del lavoro “The Major Effect of Trapped Charge on Dielectric Breakdown Dynamics and Lifetime Estimation,” *Sara Vecchi, Andrea Padovani, Paolo Pavan, and Francesco Maria Puglisi*, presentato al 2023 IEEE International Integrated Reliability Workshop (IIRW), 8-12 October 2023. Stanford Sierra Conference Center, Fallen Leaf Lake, CA, USA. DOI: <https://doi.org/10.1109/IIRW59383.2023.10477693>.
6. **BEST STUDENT PAPER AWARD**, come secondo autore del lavoro “Enhanced Memory Performance in Ferroelectric NAND Applications: The Role of Tunnel Dielectric Position for Robust 10-Year Retention,” *Prasanna Venkatesan et al.*, presented at the 2025 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 2025, pp. 1-7, DOI: <https://doi.org/10.1109/IRPS48204.2025.10982749>.

## **Brevetti**

1. US patent US 11158791 B2, "MIEC and tunnel-based selectors with improved rectification characteristics and tunability," granted on October 26, 2021.  
<https://patents.google.com/patent/US20220059764A1/en>

## **Organizzazione di Conferenze Internazionali**

1. (2024 – present) member of the Management Committee of the IEEE International Reliability Physics Symposium (IRPS) with the role of Communications Chair (2025) and Exhibitors Chair (2026).  
<https://www.irps.org/committee>
2. (2023 – present) member of the Management Committee of the IEEE International Integrated Reliability Workshop (IEEE IIRW) with the role of Poster Chair (2023), Discussion Group Chair (2024), Communications Chair (2025) and Publications Chair (2026). <https://www.iirw.org/committees>

## **Partecipazione a Comitati Tecnici di Conferenze Internazionali**

Sono stato e sono tuttora membro dei comitati tecnici delle seguenti conferenze internazionali

1. IEEE International Reliability Physics Symposium (IRPS). Member of the Gate Dielectrics committee (2013-2015) and of the Gate/MOL Dielectrics committee (2019-2023), with the role of Vice-Chair (2021), Chair (2022) and Chair Emeritus (2023).
2. IEEE International Integrated Reliability Workshop (IIRW). Member of the technical committee for several years (2012-2015, 2017, 2019 e 2020).
3. International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA). Member of the Europe subcommittee from 2012 to 2019.
4. European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF). Member of different committees from 2015 to 2020 and in 2024.
5. IEEE Electron Devices Technology and Manufacturing (EDTM). Member of the Devices and Circuit Reliability (DCR) committee in 2024. Member of the Reliability and Testing committee in 2025.
6. IEEE International Electron Device Meeting (IEDM). Member of the Reliability of Systems and Devices (RSD) committee in 2024 and 2025.

Dichiaro che ogni contenuto riportato nel curriculum è conforme al vero.

Reggio Emilia, 16/09/2026

Andrea Padovani